

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-058873

(43)Date of publication of application : 28.02.1990

(51)Int.Cl.

H01L 27/12

H01L 21/314

H01L 21/76

H01L 27/06

(21)Application number : 63-211383

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.08.1988

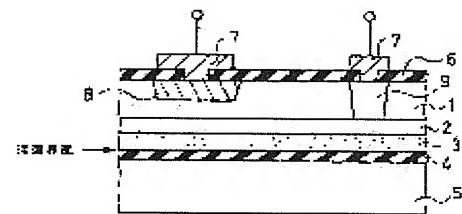
(72)Inventor : OGINO MASANOBU

## (54) LAMINATION STRUCTURE SEMICONDUCTOR SUBSTRATE

### (57)Abstract:

**PURPOSE:** To restrain contamination to a minimum in the manufacturing process of a semiconductor device by arranging a polycrystalline layer so as to be adjacent to dialectic.

**CONSTITUTION:** A high concentration N+ type diffusion layer 3 is formed by implanting ion, e.g., As, in a mirror-polished surface of a first silicon semiconductor substrate, and thermally diffusing it to a specified depth. A polysilicon layer 3 is grown thereon by low pressure CVD method. A thermal oxidation film 4 is grown on the mirror-polished surface of a second silicon semiconductor substrate 5. The thermal oxidation film 4 is dielectric interposed between a first and a second different silicon semiconductor substrates 1 and 5. The polysilicon layer 3 adjacent to the thermal oxidation film 4 becomes gettering nucleus of contamination atoms at the time of forming a semiconductor device. Since the contamination atom is trapped by the crystal defect of the polysilicon layer 3, the number of contamination atoms in the first and the second silicon semiconductor substrates 1, 5 remarkably decreases.



## ⑫ 公開特許公報 (A) 平2-58873

⑮ Int. Cl. 5

H 01 L 27/12  
21/314  
21/76  
27/06

識別記号

序内整理番号

⑯ 公開 平成2年(1990)2月28日

A 7514-5F  
D 6824-5F  
D 7638-5F7735-5F H 01 L 27/06 3 2 1 C  
審査請求 有 請求項の数 3 (全9頁)

⑭ 発明の名称 積層構造半導体基板

⑮ 特願 昭63-211383

⑯ 出願 昭63(1988)8月25日

⑰ 発明者 萩野 正信 神奈川県川崎市幸区堀川町72番地 株式会社東芝堀川町工場内

⑯ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑯ 代理人 弁理士 鈴江 武彦 外2名

## 明細書

## 3. 発明の詳細な説明

## [発明の目的]

(産業上の利用分野)

この発明は、半導体基板に関するもので、特に2枚以上の半導体基板を誘電体を介在させ、接着した積層構造半導体基板に関する。

(従来技術)

近年、2枚以上の異なる半導体基板、特にシリコン半導体基板同士を直接接着する接着技術が発達している。この2枚以上の異なる半導体基板同士を直接接着する技術としては、接着する半導体基板の接着面を鏡面研磨し、この接着面同士を接着材を用いずに貼り合わせて熱処理して接着するという方法等がある。

第8図に、第1の従来例として、2枚の異なる半導体基板を誘電体を介在させ接着した積層構造半導体基板(接着ウェーハ)を用いて形成した、IPD(Intelligent Power Device)素子断面図を示す。

第8図において、第1のシリコン半導体基板1

## 1. 発明の名称

積層構造半導体基板

## 2. 特許請求の範囲

(1) 少なくとも2枚以上の半導体基板を少なくとも1つの誘電体を介在させ、接着して形成される積層構造半導体基板において、前記少なくとも1つの誘電体に隣接して、少なくとも1つの多結晶層が設けられていることを特徴とする積層構造半導体基板。

(2) 前記誘電体がホウ素シリケートガラス(BSG)、りんシリケートガラス(PSG)、およびホウ素-りんシリケートガラス(BPSG)であることを特徴とする請求項(1)記載の積層構造半導体基板。

(3) 前記多結晶層にりんが $10^{19} \text{ atoms/cm}^3$ 以上含まれていることを特徴とする請求項(1)あるいは(2)いずれかに記載の積層構造半導体基板。

と、第2のシリコン半導体基板5'を用意し、まず、第1のシリコン半導体基板1の鏡面研磨した面に、例えばAs(ヒ素)をイオン注入し、次に熱酸化により熱酸化膜10を形成する。この時の熱により、前記のイオン注入されたイオンは所定の深さに熱拡散され、N<sup>+</sup>型拡散層2を形成する。

次に、第2のシリコン半導体基板5'の鏡面研磨した面に、熱酸化膜4を成長させる。そして、この第2のシリコン半導体基板5'の上に、前記の第1のシリコン半導体基板1を反転させ第1および第2のシリコン半導体基板1、5'の鏡面研磨した面が対向するようにして乗せ、温度1100℃、O<sub>2</sub>雰囲気中で熱処理し、第1および第2のシリコン半導体基板1、5'同士を接着し、所定の厚さまで半導体基板1を研磨する。

次に、接着された第1および第2のシリコン半導体基板において、上層に配置された第1のシリコン半導体基板1上にホトレジストを堆積し、パワートランジスタ領域パターンを形成する。そしてこのパワートランジスタを下層の第2のシリコ

ン半導体基板5'に届くようにエッチング除去し、新たにN型のシリコン層16を気相成長させ、再度、所定の厚さまで研磨する。

次に、第9図は、第2の従来例として、2枚の異なる半導体基板を誘電体を介在させ接着した積層構造半導体基板(接着ウェーハ)を用いて形成した、ダイオードの断面図を示す。

第9図において、第1のシリコン半導体基板1と、第2のシリコン半導体基板5を用意し、まず第1のシリコン半導体基板1の鏡面研磨した面に、例えばAs(ヒ素)をイオン注入し、所定の深さに拡散させ、高濃度N<sup>+</sup>型拡散層2を形成する。

次に、第2のシリコン半導体基板5の鏡面研磨した面に、熱酸化膜4を成長させる。そして、この第2のシリコン半導体基板5の上に、前記の第1のシリコン半導体基板1を反転させ、第1およ

ン半導体基板5'に届くようにエッチング除去し、新たにN型のシリコン層16を気相成長させ、再度、所定の厚さまで研磨する。

次に、再度ホトレジストを堆積し、素子絶縁分離領域パターンを形成し、下層の第2のシリコン半導体基板5'に届くように、素子分離絶縁領域用の孔を開孔し、その孔の側面を酸化させ、酸化膜6'を形成し、次にその孔にポリシリコン層3'を堆積する。

前記ホトレジストを除去し、再度ホトレジストを堆積し、P型領域パターンを形成する。そしてP型形成領域に例えばB(ホウ素)をイオン注入する。次に、前記ホトレジストを除去し、今度は、N型領域パターンを形成し、このN型形成領域に例えばAs(ヒ素)を高濃度でイオン注入し、熱拡散させ、P型領域8、8'および、N<sup>+</sup>型領域9、13、13'を形成する。次に、再度ホトレジストを用いて、P<sup>+</sup>型領域パターンを形成し、このP<sup>+</sup>型領域に例えばB(ホウ素)を高濃度でイオン注入し、熱拡散させ、P<sup>+</sup>型高濃度拡散層

15を形成する。次に、全面にゲート酸化膜を形成し、その上にポリシリコンを全面に堆積し、所定の電極パターンにパターニングし、ゲート電極ができる。次に、層間絶縁膜を全面に堆積し、コンタクト孔を開孔し、所定の配線を施すことにより、IPD(Intelligent Power Device)が製造される。

次に、接着された第1および第2の半導体基板において、上層に配置された第1のシリコン半導体基板1上に熱酸化により、熱酸化膜6を形成し、ホトレジストを用いて、カソード電極取出し領域の酸化膜を除去し、例えばAs(ヒ素)をイオン注入し、熱拡散させ、カソード電極取出し用の高濃度N<sup>+</sup>型拡散層9を高濃度N<sup>+</sup>型拡散層2に接するように形成する。次に、前記ホトレジストを除去し、新たなホトレジストにより、アノード電極取出し領域の酸化膜を除去し、例えばB(ホウ素)をイオン注入し、熱拡散させることにより、アノード電極取出し用の高濃度P<sup>+</sup>型拡散層8を形成する。次に、ホトレジストを除去した後、P(りん)を含んだポリシリコンを全面に堆積、パターニングすることにより、アノード、カソード

ドの電極7が形成され、ダイオードが製造される。

従来、このような積層構造半導体基板（接着ウェーハ）を用いて形成した半導体装置において、半導体基板同士の接着技術が発達したとは言え、この接着技術が実用化して間もないことから、半導体装置の製造工程中の汚染に対する配慮は何ら為されておらず、この製造工程中の汚染が原因によって、即ち、半導体基板中に汚染原子が入ることにより、この半導体基板に形成される半導体装置のP-N接合のリーク電流が大きい、あるいは少数キャリアのライフトタイムが小さい等の欠点があった。

#### (発明が解決しようとする課題)

この発明は、上記のような点に鑑みて為されたもので、半導体装置の製造工程における汚染を最少限に抑える作用がある積層構造半導体基板を提供することを目的とする。

#### [発明の構成]

##### (課題を解決するための手段)

この発明による積層構造半導体基板にあっては、

成した第1の実施例に係わるダイオードについて第1図の断面図を用いて説明する。

第1図において、第1のシリコン半導体基板1と、第2のシリコン半導体基板5を用意し、まず第1のシリコン半導体基板1の鏡面研磨した面に、例えばAs<sub>s</sub>（ヒ素）をイオン注入し、所定の深さに熱拡散させ、高濃度N<sup>+</sup>型拡散層2を形成する。次にその上部にポリシリコン層3を減圧CVD（Chemical Vapor Deposition）法により成長温度650℃で、例えば2000Å成長させる。

次に、第2のシリコン半導体基板5の鏡面研磨した面に熱酸化膜4を成長させる。そして、この第2のシリコン半導体基板5の上に、前記の第1のシリコン半導体基板1を反転させ、第1および第2のシリコン半導体基板1、5同士を接着し、次に、シリコン半導体基板1側を所定の厚さに研磨する。

次に、接着された第1および第2の半導体基板

2枚以上の異なる半導体基板を少なくとも1つ以上の誘電体を介在させて接着してなる積層構造半導体基板（接着ウェーハ）において、この誘電体に隣接して多結晶層を設けることを特徴とする。

#### (作用)

上記のような積層構造半導体基板にあっては、誘電体に隣接して設けられた多結晶層が半導体装置の製造工程における汚染原子のゲッタリングの核となり、即ち、多結晶層中の結晶欠陥等に汚染原子がトラップされることにより、半導体基板における汚染原子の数は大幅に減少し、半導体基板に形成される半導体装置において、高信頼性、および高性能の半導体装置の形成が可能となる。

#### (実施例)

以下、第1図乃至第5図を参照して、この発明に係わる積層構造半導体基板を用いて形成したダイオードおよびその製造方法、絶縁分離型バイポーラ集積回路およびその製造方法について説明する。

##### (1) この発明の積層構造半導体基板を用いて形

において、上層に配置された第1のシリコン半導体基板1上に熱酸化により、熱酸化膜6を形成し、ホトレジストを用いて、カソード電極取出し領域の酸化膜を除去し、例えばAs<sub>s</sub>（ヒ素）をイオン注入し、熱拡散させ、カソード電極取出し用の高濃度N<sup>+</sup>型拡散層9を高濃度N<sup>+</sup>型拡散層2に接するように形成する。次に、前記ホトレジストを除去し、新たなホトレジストにより、アノード電極取出し領域の酸化膜を除去し、例えばB（ホウ素）をイオン注入し、熱拡散させることにより、アノード電極取出し用の高濃度P<sup>+</sup>型拡散層8を形成する。次に、ホトレジストを除去した後、P（リン）を含んだポリシリコンを全面に堆積し、バターニングすることにより、アノード、カソードの電極が形成され、この発明の積層構造半導体基板を用いて形成した第1の実施例に係わるダイオードが製造される。

このような構成のダイオードによると、2枚の異なる第1および第2のシリコン半導体基板1、5の間に介在している誘電体である熱酸化膜4に

隣接したポリシリコン層3が、半導体装置を形成する際の汚染原子のゲッタリングの核となり、このポリシリコン層3の結晶欠陥等にこの汚染原子をトラップしてしまうため、第1および第2のシリコン半導体基板1、5中の汚染原子の数は、大幅に減少し、高性能、高信頼性のダイオードが提供できる。

(2) この発明の積層構造半導体基板を用いて形成した第2の実施例に係わるダイオードについて第2図の断面図を用いて説明する。

第2図において、第1のシリコン半導体基板1と、第2のシリコン半導体基板5を用意し、まず第1のシリコン半導体基板1の鏡面研磨した面に、例えばAs<sub>s</sub>（ヒ素）をイオン注入する。その後、熱酸化により熱酸化膜10を形成し、この時の熱により、前記イオン注入したAs<sub>s</sub>（ヒ素）イオンが所定深さに拡散され、高濃度N<sup>+</sup>型拡散層2が形成される。次にその上部に、ポリシリコン層3を減圧CVD（Chemical Vapor Deposition）法により、成長温度650℃で、例えば2000Å成長

させる。

次に、第2のシリコン半導体基板5の鏡面研磨した面に熱酸化膜4を成長させる。そして、この第2のシリコン半導体基板5の上に、前記の第1のシリコン半導体基板1を反転させ、第1および第2のシリコン半導体基板1、5の鏡面研磨した面が対向するようにして乗せ、温度1100℃、O<sub>2</sub>雰囲気中で熱処理し、第1および第2のシリコン半導体基板1、5同士を接着し、次に、シリコン半導体基板1側を所定の厚さに研磨する。

次に、接着された第1および第2のシリコン半導体基板において、上層に配置された第1のシリコン半導体基板1上に熱酸化により、熱酸化膜6を形成し、ホトレジストを用いて、カソード電極取出し領域の酸化膜を除去し、例えばAs<sub>s</sub>（ヒ素）をイオン注入し、熱拡散させ、カソード電極取出し用の高濃度N<sup>+</sup>型拡散層9を高濃度N<sup>+</sup>型拡散層2に接するよう形成する。次に、前記ホトレジストを除去し、新たなホトレジストにより、アノード電極取出し領域の酸化膜を除去し、例えば

B（ホウ素）をイオン注入し、熱拡散させることにより、アノード電極取出し用の高濃度P<sup>+</sup>型拡散層8を形成する。次に、ホトレジストを除去した後、P（リン）を含んだポリシリコンを全面に堆積し、バターニングすることにより、アノード、カソードの電極が形成され、この発明の積層構造半導体基板を用いて形成した第2の実施例に係わるダイオードが製造される。

このような構成のダイオードによると、2枚の異なる第1および第2のシリコン半導体1、5の間に介在している誘電体としての熱酸化膜4、10に隣接したポリシリコン層3がゲッタリングの核となり、このポリシリコン層3の結晶欠陥等にこの汚染原子をトラップしてしまうため、第1および第2のシリコン半導体基板1、5中の汚染原子の数は、大幅に減少し、高性能、高信頼性のダイオードが提供できる。特にこの実施例では2枚の異なる第1および第2のシリコン半導体基板1、5の間に介在している誘電体を2層の熱酸化膜4、10としたことで、上層と、下層のシリコ

ン半導体基板1、5間の絶縁能力が向上される。

(3) この発明の積層構造半導体基板を用いて形成した第3の実施例に係わるダイオードについて第3図の断面図を用いて説明する。

第3図において、第1のシリコン基板1と、第2のシリコン基板5を用意し、まず第1のシリコン半導体基板1の鏡面研磨した面に、例えばAs<sub>s</sub>（ヒ素）をイオン注入し、所定の深さに熱拡散させ、高濃度N<sup>+</sup>型拡散層2を形成する。次にその上部にP（リン）を $5 \times 10^{19} \text{ atoms/cm}^3$ 含ませたポリシリコン層11を成長させる。

次に、第2のシリコン半導体基板5の鏡面研磨した面に熱酸化膜4を成長させる。そして、この第2のシリコン半導体基板5の上に、前記の第1のシリコン半導体基板1を反転させ、第1および第2のシリコン半導体基板1、5の鏡面研磨した面が対向するようにして乗せ、温度1100℃、O<sub>2</sub>雰囲気中で、熱処理し、第1および第2のシリコン半導体基板1、5同士を接着し、次に、シリコン半導体基板1側を所定の厚さに研磨する。

次に、接着された第1および第2の半導体基板1、5において、上層に配置された第1のシリコン半導体基板1上に熱酸化により、熱酸化膜6を形成し、ホトレジストを用いて、カソード電極取出し領域の酸化膜を除去し、例えばAs(ヒ素)をイオン注入し、熱拡散させ、カソード電極取出し用の高濃度N<sup>+</sup>型拡散層9を高濃度N<sup>+</sup>型拡散層2に接するように形成する。次に、前記ホトレジストを除去し、新たなホトレジストにより、アノード電極取出し領域の酸化膜を除去し、例えばB(ホウ素)をイオン注入し、熱拡散させることにより、アノード電極取出し用の高濃度P<sup>+</sup>型拡散層8を形成する。次に、ホトレジストを除去した後、P(リン)を含んだポリシリコンを全面に堆積し、バターニングすることにより、アノード、カソードの電極7が形成され、この発明の積層構造半導体基板を用いて形成した第3の実施例に係わるダイオードが製造される。

このようなダイオードによると、2枚の異なる第1および第2のシリコン半導体基板1、5の間

に介在している誘電体である熱酸化膜4に隣接している、P(リン)を $5 \times 10^{19} \text{ atoms/cm}^3$  含んだポリシリコン層11が、半導体装置を形成する際のゲッタリングの核となり、このP(リン)を含むポリシリコン層11の結晶欠陥等にこの汚染原子をトラップしてしまうため、また、P(リン)をポリシリコンに含ませることにより、第6図のグラフに示すように、ゲッタリング能力は、さらに高まり、第1および第2のシリコン半導体基板1、5中の汚染原子の数は、一段と減少し、高性能、高信頼性のダイオードが提供できる。

(4) この発明の積層構造半導体基板を用いて形成した第4の実施例に係わるダイオードについて第4図の断面図を用いて説明する。

第4図において、第1のシリコン半導体基板1と、第2のシリコン半導体基板5を用意する。まず第1のシリコン半導体基板1の鏡面研磨した面に、例えばAs(ヒ素)をイオン注入し、所定の深さに熱拡散させ、高濃度N<sup>+</sup>型拡散層2を形成する。次に、その上部にポリシリコン層3を減圧

CVD (Chemical Vapor Deposition)法により成長温度650℃で、例えば2000Å成長させる。

次に、第2のシリコン半導体基板5の鏡面研磨した面にBPSG(ホウ素-リンシリケートガラス)膜12を成長させる。そして、この第2のシリコン半導体基板5の上に、前記第1のシリコン半導体基板1を反転させ、第1および第2のシリコン半導体基板1、5の鏡面研磨した面が対向するようにして乗せ、温度1100℃、O<sub>2</sub>雰囲気中で熱処理し、第1および第2のシリコン半導体基板1、5同士を接着する。この時、BPSG(ホウ素-リンシリケートガラス)の粘性流により、ポリシリコン層3の凹凸が埋まり、接着面がより強固なものとなる。次に、シリコン半導体基板1側を所定の厚さに研磨する。

次に、接着された第1および第2の半導体基板1、5において、上層に配置された第1のシリコン半導体基板1上に、熱酸化により熱酸化膜6を形成し、ホトレジストを用いて、カソード電極取出し領域の酸化膜を除去し、例えばAs(ヒ素)

をイオン注入し、熱拡散させ、カソード電極取出し用の高濃度N<sup>+</sup>型拡散層9を高濃度N<sup>+</sup>型拡散層2に接するように形成する。次に、前記ホトレジストを除去し、新たなホトレジストを用いて、アノード電極取出し領域の酸化膜を除去し、例えばB(ホウ素)をイオン注入し、熱拡散させることにより、アノード電極取出し用の高濃度P<sup>+</sup>型拡散層8を形成する。次に、ホトレジストを除去した後、P(リン)を含んだポリシリコンを全面に堆積し、バターニングすることにより、アノード、カソード電極7が形成され、この発明の積層構造半導体基板を用いて形成した第4の実施例に係わるダイオードが製造される。

このような構成のダイオードによると、2枚の異なる第1および第2のシリコン半導体基板1、5の間に介在している誘電体としてのBPSG膜12に隣接したポリシリコン層3が、半導体装置を形成する際の汚染原子のゲッタリングの核となり、このポリシリコン層3の結晶欠陥等にこの汚染原子をトラップしてしまうため、第1および第

2のシリコン半導体基板1、5中の汚染原子の数は、大幅に減少し、高性能、高信頼性のダイオードが提供でき、さらに前記シリコン半導体基板の間に介在する誘電体として、BPSG（ホウ素－リンシリケートガラス）膜12を用いることにより、接着工程の熱処理の熱により、このBPSG（ホウ素－リンシリケートガラス）膜12が粘性を持ち、この粘性流により対面のポリシリコン層3の凹凸を埋めるので、異なるシリコン半導体基板の接着がより強固なものとなる。また、この誘電体層の材質としては、BSG（ホウ素－シリケートガラス）、PSG（リン－シリケートガラス）を用いても同様の効果が得られる。

(5) 第5の実施例として、第3の実施例で述べた2枚の異なるシリコン半導体基板の間に介在する誘電体に隣接するポリシリコンにP（リン）を含ませた例についての変形例としての絶縁層分離型バイポーラ集積回路を第5図の断面図を用いて説明する。

第5図において、第1のシリコン半導体基板1

子分離絶縁領域用の孔を開孔する。次に、その孔の側面を酸化させ、酸化膜6'を形成する。次にその孔にポリシリコン層3'を堆積する。次に、前記のホトレジストを除去し、新たなホトレジストを堆積し、ベース領域パターンを形成する。そして、ベース形成領域に例えばB（ホウ素）をイオン注入する。次にホトレジストを除去し、再度新たなホトレジストを堆積し、コレクタ電極取出し領域9およびエミッタ形成パターンを作り、コレクタ電極取出し領域9およびエミッタ形成領域に例えばAs（ヒ素）をイオン注入する。次に、全面に熱酸化による熱酸化膜6を堆積する。この時、熱酸化の熱により、前記イオン注入したイオンが所定の深さに拡散され、ベース拡散層8、エミッタ拡散層13およびコレクタ電極取出し領域9が形成される。次に、これらの拡散層にコンタクト孔を開孔し、P（リン）を含んだポリシリコンを全面に堆積し、バターニングすることにより、ベース、エミッタおよびコレクタの各電極が形成され、この発明の積層構造半導体基板を用いて形

と、第2のシリコン半導体基板5を用意し、まず第1のシリコン半導体基板1の鏡面研磨した面に、例えばAs（ヒ素）をイオン注入し、所定の深さに熱拡散させ、高濃度N<sup>+</sup>型拡散層2を形成する。次にその上部にP（リン）を含んだポリシリコン層11を成長させる。

次に、第2のシリコン半導体基板5の鏡面研磨した面に熱酸化膜4を成長させる。そして、この第2のシリコン半導体基板5の上に、前記の第1のシリコン半導体基板1を反転させ、第1および第2のシリコン半導体基板1、5の鏡面研磨した面が対向する用にして乗せ、温度1100℃、O<sub>2</sub>雰囲気中で熱処理し、第1および第2のシリコン半導体基板1、5同士を接着し、次に、シリコン半導体基板1側を所定の厚さに研磨する。

次に、接着された第1および第2の半導体基板1、5において、上層に配置された第1のシリコン半導体基板1上にホトレジストを堆積し、素子分離用の絶縁領域形成パターンを作り、下層のシリコン半導体基板の熱酸化膜4に届くように、素

成した第5の実施例に係わる絶縁層分離型バイポーラ集積回路が製造される。

このような構成の絶縁層分離型バイポーラ集積回路によると、2枚の異なる第1および第2のシリコン半導体基板1、5の間に介在している誘電体としての熱酸化膜4に隣接したP（リン）を含んだポリシリコン層11が、半導体装置を形成する際の汚染原子のゲッタリングの核となり、このP（リン）を含んだポリシリコン層11の結晶欠陥等に汚染原子がトラップしてしまうため、第1および第2のシリコン半導体基板中の汚染原子の数は、大幅に減少し、高性能、高信頼性の絶縁層分離型バイポーラ集積回路が提供できる。

#### [発明の効果]

以上説明したようにこの発明によれば、2枚以上の異なる半導体基板を少なくとも1つ以上の誘電体を介在させて接着してなる積層構造半導体基板において、この誘電体に隣接して設けられた多結晶層が、半導体装置を製造する際の汚染原子のゲッタリングの核となり、汚染原子をこの多結晶

層の結晶欠陥等にトラップしてしまうため、半導体基板中の汚染原子の数が大幅に減少し、半導体基板に形成される半導体装置の素子中の少数キャリアのライフタイムの向上、P N接合のリーク電流の減少、および製造歩留りの向上により、高性能、高信頼性の半導体装置が提供できる。

第6図は、第9図に示す従来例のP N接合のライフタイムを1とした場合、第1乃至第3の実施例のP N接合のライフタイムを比率で表わしたグラフである。第3の実施例のポリシリコンにP(りん)を $5 \times 10^{19}$ atoms/cm<sup>3</sup>含ませた例をはじめ、どの実施例においてもP N接合ライフタイムの格段の向上が認められる。

第7図は、第9図に示す従来例のP N接合のライフタイムを1とした場合、誘電体に隣接する多結晶中のP(りん)濃度と、P N接合のライフタイムとの関係を比率で表わしたグラフである。多結晶中に含ませるP(リン)の濃度は、基本的にいいくらでも良いのだが、第7図から分るように、実用上は、 $1 \times 10^{19}$ atoms/cm<sup>3</sup>以上が望まし

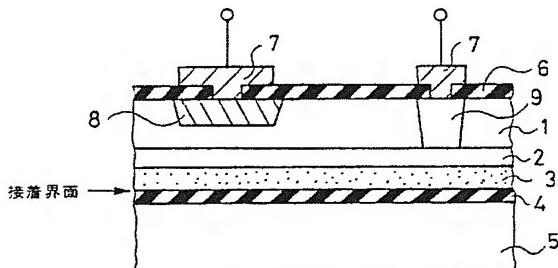
い。

#### 4. 図面の簡単な説明

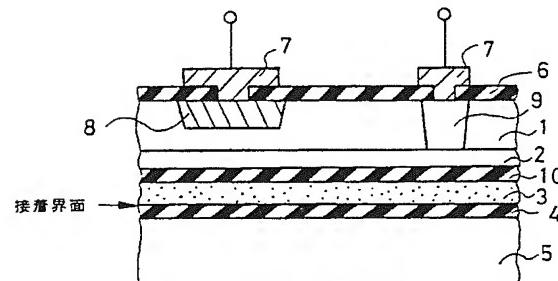
第1図乃至第4図は、この発明に係わる積層構造半導体基板を用いて形成したダイオードの断面図で、第5図は、この発明に係わる積層構造半導体基板を用いて形成した絶縁層分離型バイポーラ集積回路の断面図で、第6図は、第1乃至第3の実施例のダイオードのライフタイムと、従来構成のMOSダイオードのライフタイムとを比率で比較したグラフで、第7図は、第3の実施例において、多結晶中のP(りん)の濃度と、従来構成のダイオードのライフタイムとを比率で比較したグラフで、第8図は、従来の積層構造半導体基板を用いて形成したIPD(Intelligent Power Device)の断面図で、第9図は、従来の積層構造半導体基板を用いて形成した、ダイオードの断面図である。

1…第1のN型シリコン半導体基板、2…N<sup>+</sup>型拡散層、3…ポリシリコン層、3'…ポリシリコン層、4…熱酸化膜、5…第2のN型シリコン

半導体基板、5'…第2のN<sup>+</sup>型シリコン半導体基板、6…熱酸化膜、6'…熱酸化膜、7…りんを含んだポリシリコンの電極、8…P<sup>+</sup>型拡散層、8'…P<sup>+</sup>型ベース拡散層、9…N<sup>+</sup>型電極取出し層、10…第1のシリコン半導体基板に形成される第2の熱酸化膜、11…りんを含んだポリシリコン層、12…BPSG(ホウ素-りんシリケートガラス)、13…N<sup>+</sup>型エミッタ領域、13'…N<sup>+</sup>型ソース/ドレイン拡散層、14…ゲート電極、15…P<sup>+</sup>型ソース/ドレイン拡散層、16…N型拡散層。

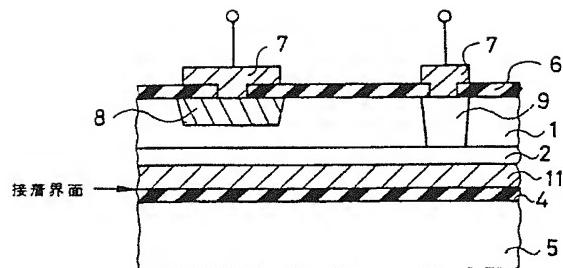


第1図

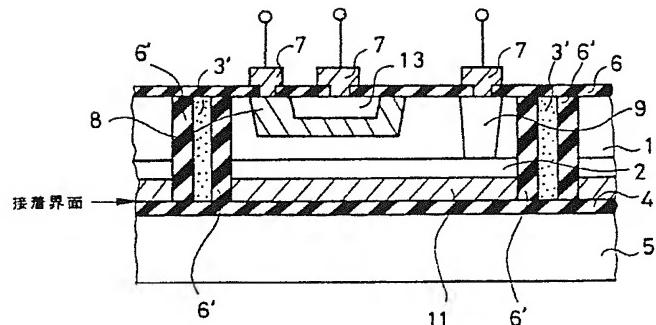


第2図

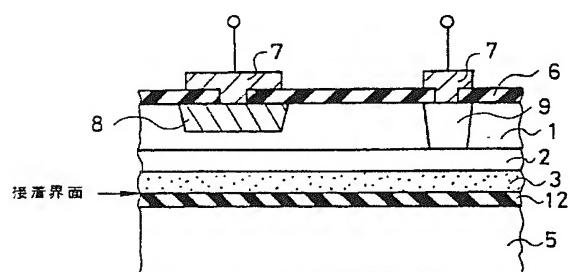
出願人代理人弁理士鈴江武彦



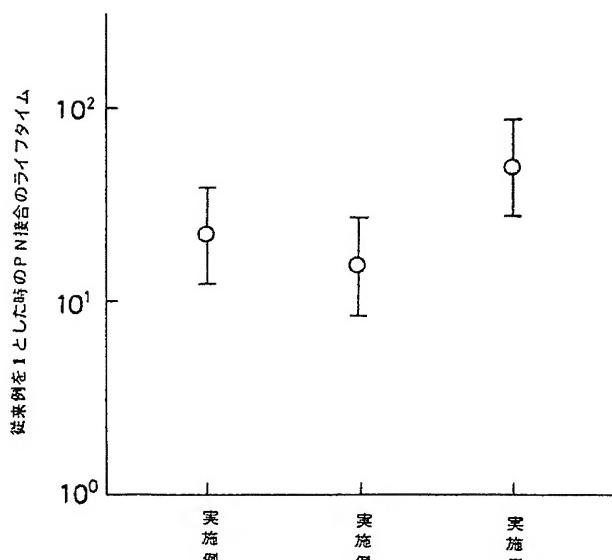
第3図



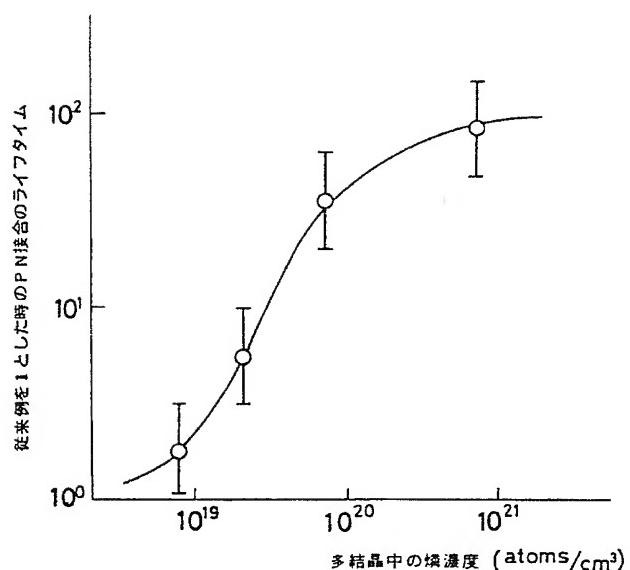
第5図



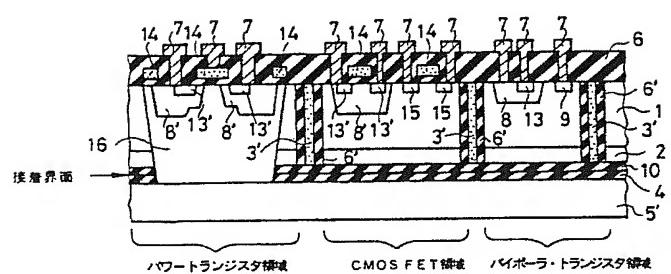
第4図



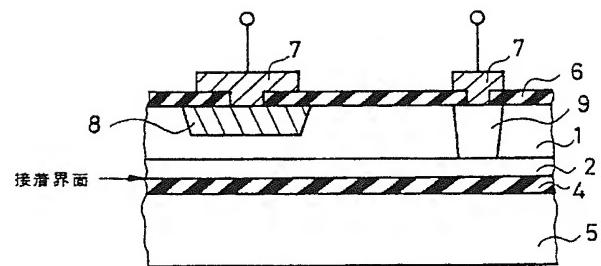
第6図



第7図



第 8 図



第 9 図